

WYKŁAD 9

**Tranzystor polowy. Złącze metal – półprzewodnik
(złącze Schottky'ego). Zastosowania: pamięć
DRAM i kamery CCD.**

Tranzystory

(ang. TRANSISTOR = TRANSfer resISTORs)

Podział



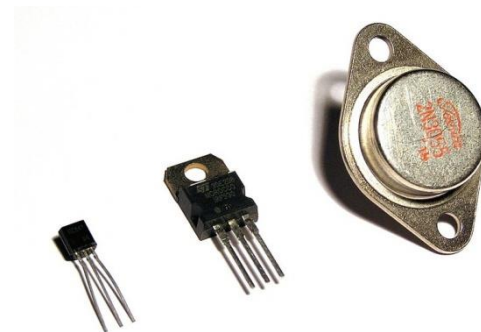
Bipolarne:

1. NPN
2. PNP



Polowe:

1. JFET
2. MOSFET



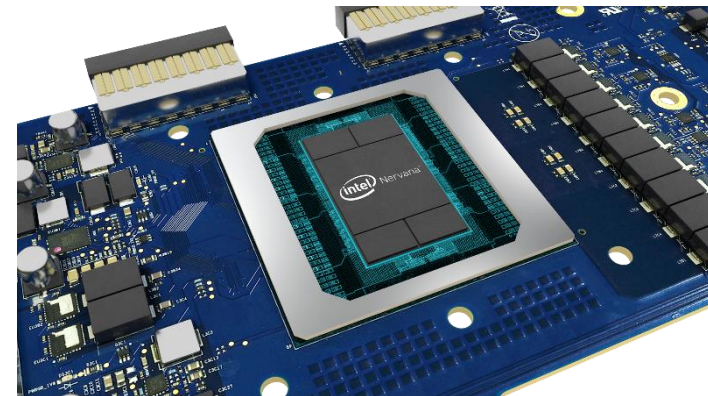
Tranzystory – wybrane zalety i zastosowania

➤ Zalety

- duża rezystancja wejściowa, co wiąże się z potrzebą niewielkiej mocy do sterowania tranzystorem
- małe wymiary

➤ Zastosowania

- wzmacniacze tranzystorowe: różnicowe, operacyjne, selektywne, szerokopasmowe, elektroakustyczne, mocy
- generatory
- przełączniki
- bramki logiczne
- pamięci półprzewodnikowe
- kluczowy element wielu układów elektronicznych



Tranzystor

Trójkątkowy półprzewodnikowy element elektroniczny, posiadający zdolność wzmacniania sygnału elektrycznego. Nazwa *tranzystor* pochodzi z angielskiego zwrotu "transfer-resistor", który oznacza element transformujący rezystancję ← można to pojęcie rozumieć jako element o zmiennej („przestrajalnej”) rezystancji

Wyróżnia się dwie główne grupy tranzystorów, które różnią się zasadniczo zasadą działania:

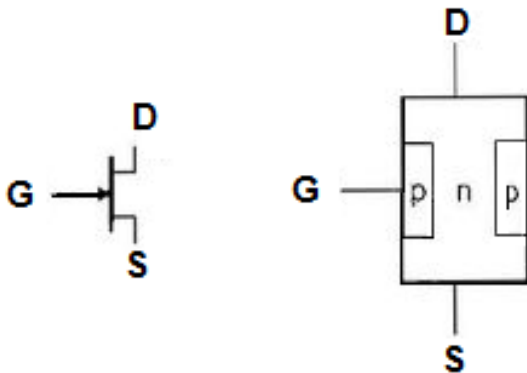
1. **Tranzystory bipolarne**, w których prąd wyjściowy jest funkcją prądu wejściowego (sterowanie prądowe).
2. **Tranzystory unipolarne** (tranzystory polowe), w których prąd wyjściowy jest funkcją napięcia (sterowanie napięciowe).

Tranzystor polowy JFET - budowa

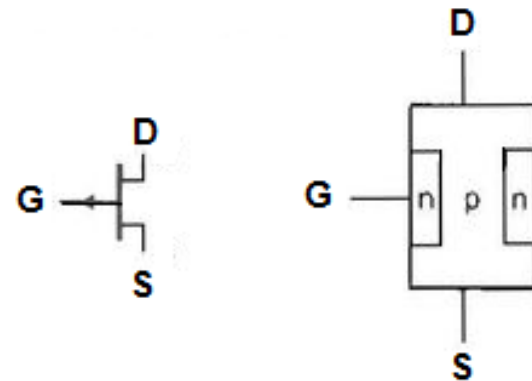


Tranzystor polowy JFET (ang. *Junction Field Effect Transistor*) – przyrząd półprzewodnikowy, w którym sterowanie prądem odbywa się za pomocą pola elektrycznego (napięcia). Tranzystor polowy JFET składa się z warstwy półprzewodnika typu n (tranzystor z kanałem typu n) lub typu p (tranzystor z kanałem typu p) oraz wbudowanej w nią, silnie domieszkowanej warstwy półprzewodnika przeciwnego typu (odpowiednio p lub n). Tak więc tranzystor zbudowany jest na bazie złącza n - p - n lub p - n - p . Na zewnątrz obudowy wyprowadzone są trzy końcówki: **dren** (ang. drain, ozn. D); **źródło** (ang. source, ozn. S) oraz **bramka** (ang. gate, ozn. G)

(a) Tranzystor z kanałem typu n

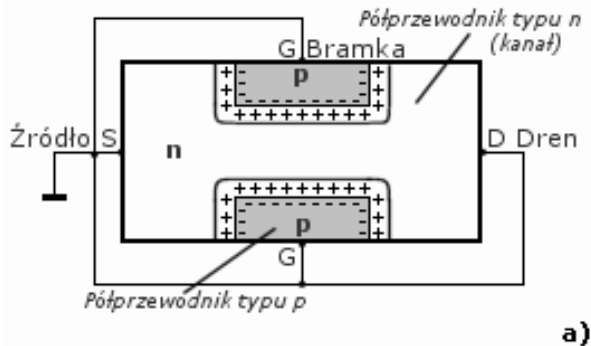


(b) Tranzystor z kanałem typu p

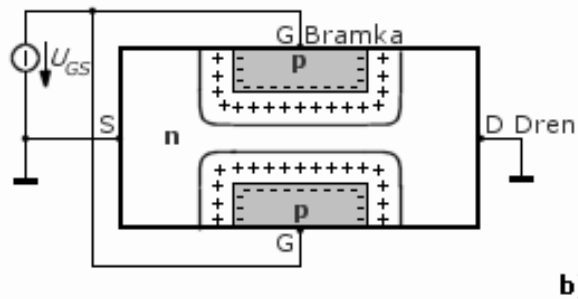


Rys. Symbole graficzne i budowa tranzystorów JFET.

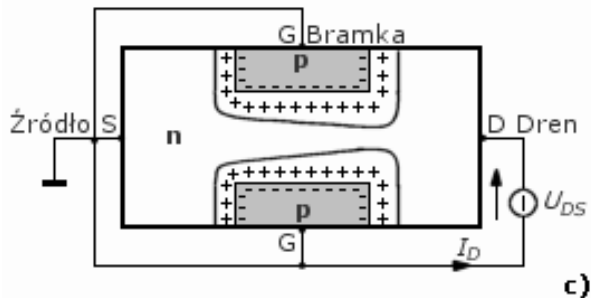
Tranzystor polowy JFET – zasada działania



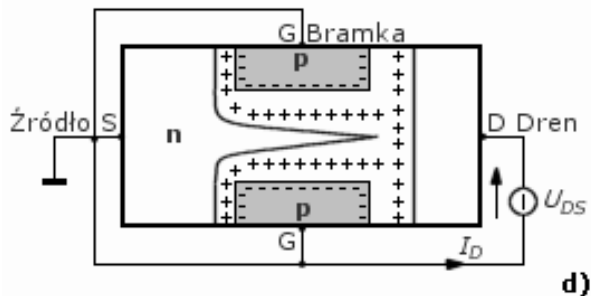
a)



b)



c)



d)

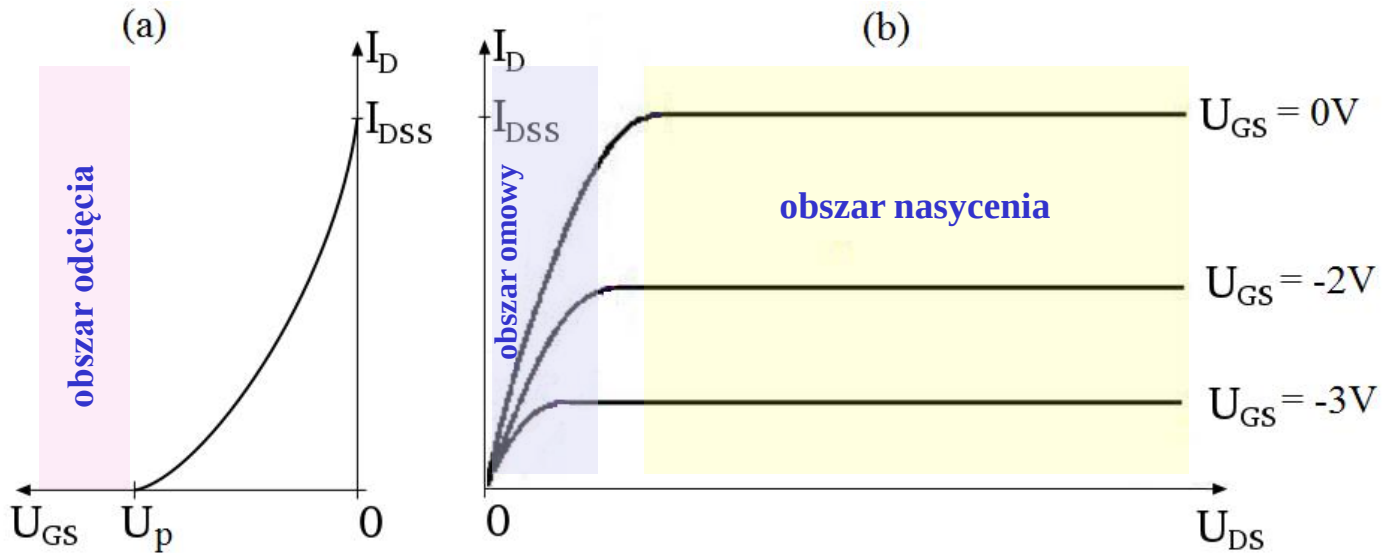
Rys. a) Obszar półprzewodnika występujący między drenem (D) i źródłem (S) stanowi kanał, przez który płynie prąd. Zmianę przekroju kanału uzyskuje się przez rozszerzenie lub zwężenie warstwy zubożonej złącza p-n, a więc przez zmianę **napięcia bramka-źródło (U_{GS})** polaryzującego to złącze w kierunku zaporowym.

Rys. b) Pod wpływem napięcia U_{GS} szerokość warstwy zubożonej zwiększy się, z kolei przekrój kanału zmniejszy się. Łatwo można sobie wyobrazić, że dalsze zwiększanie napięcia U_{GS} w kierunku zaporowym spowoduje, że warstwy zubożone połączą się i kanał zostanie zamknięty.

Rys. c) Gdy doprowadzone jest **napięcie dren-źródło (U_{DS})**, przy zachowaniu tego samego napięcia U_{GS} , w pobliżu drenu warstwa zaporowa jest szersza niż w pobliżu źródła. Jest to spowodowane tym, że złącze p-n wzdłuż kanału jest polaryzowane różnymi napięciami.

Rys. d) Dalszy wzrost napięcia U_{DS} powoduje dalsze rozszerzanie warstwy zubożonej aż do zamknięcia kanału, co powoduje stan nasycenia. W takiej sytuacji dalszy wzrost napięcia U_{DS} nie będzie powodował praktycznie dalszego wzrostu **prądu drenu I_D** .

Charakterystyki tranzystora polowego JFET



Rys. (a) Charakterystyka **przejęściowa** tranzystora JFET, U_p – napięcie odcięcia, (b) charakterystyki **wyjściowe** tranzystora JFET, I_{DSS} – prąd nasycenia.

Obszary pracy tranzystora JFET:

- **obszar odcięcia:** tranzystor jest wyłączony. Nie ma przepływu prądu ($I_D = 0$) przez kanał. Dzieje się to przy napięciu bramka-źródło $U_{GS} > U_p$
- **obszar nasycenia (aktywny):** tranzystor jest włączony. Prąd drenu osiąga stan nasycenia (I_{DSS}), tzn. jest niezależny od napięcia U_{DS} , jest kontrolowany przez napięcie U_{GS} . W tym obszarze tranzystor może pracować jako wzmacniacz
- **obszar omowy:** tranzystor jest włączony ale pracuje jak rezystor o oporności kontrolowanej napięciem. Dzieje się to wówczas, gdy napięcie U_{DS} jest mniejsze niż w obszarze aktywnym. Prąd drenu jest proporcjonalny do napięcia U_{DS} i jest kontrolowany przez napięcie bramki U_{GS} .

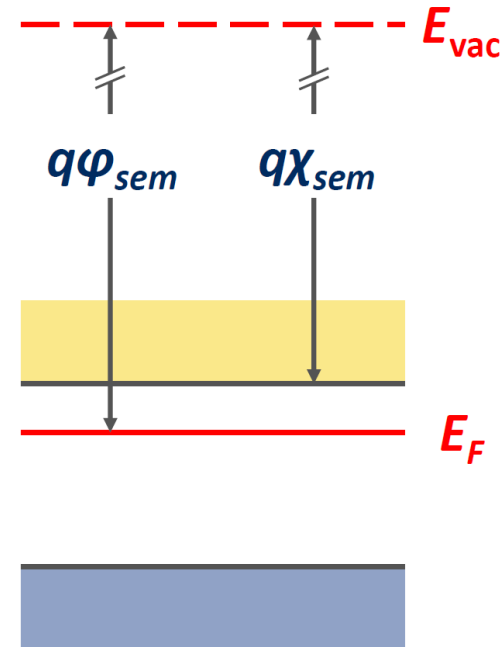
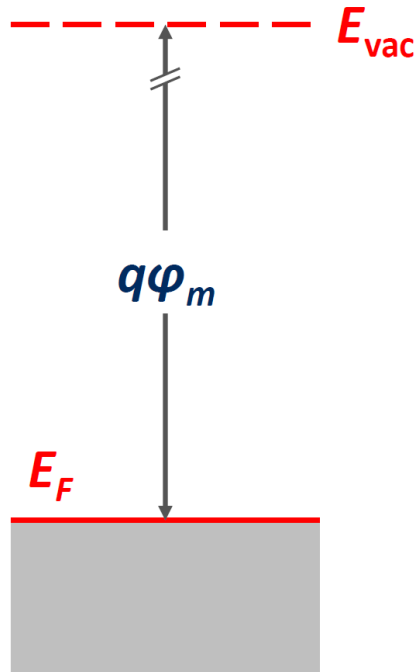
Złącze metal – półprzewodnik typu n - dioda Schottky'ego

Kontakt prostujący $\rightarrow \varphi_m > \varphi_{sem}$

φ_m - praca wyjścia elektronów z metalu

φ_{sem} - praca wyjścia elektronów z półprzewodnika

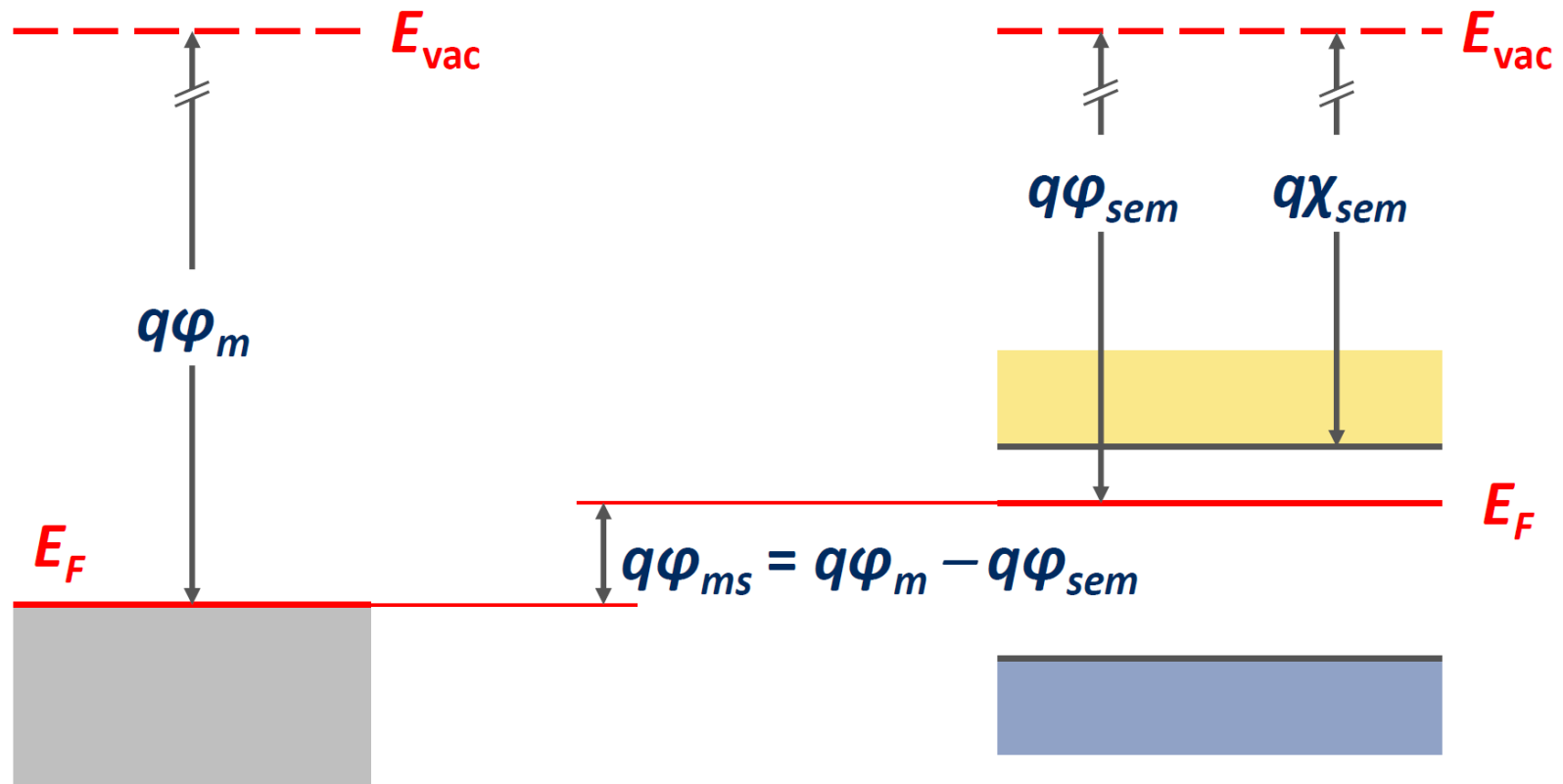
Przed połączeniem



Złącze metal – półprzewodnik typu n - dioda Schottky'ego

Kontakt prostujący $\rightarrow \varphi_m > \varphi_{sem}$

Przed połączeniem

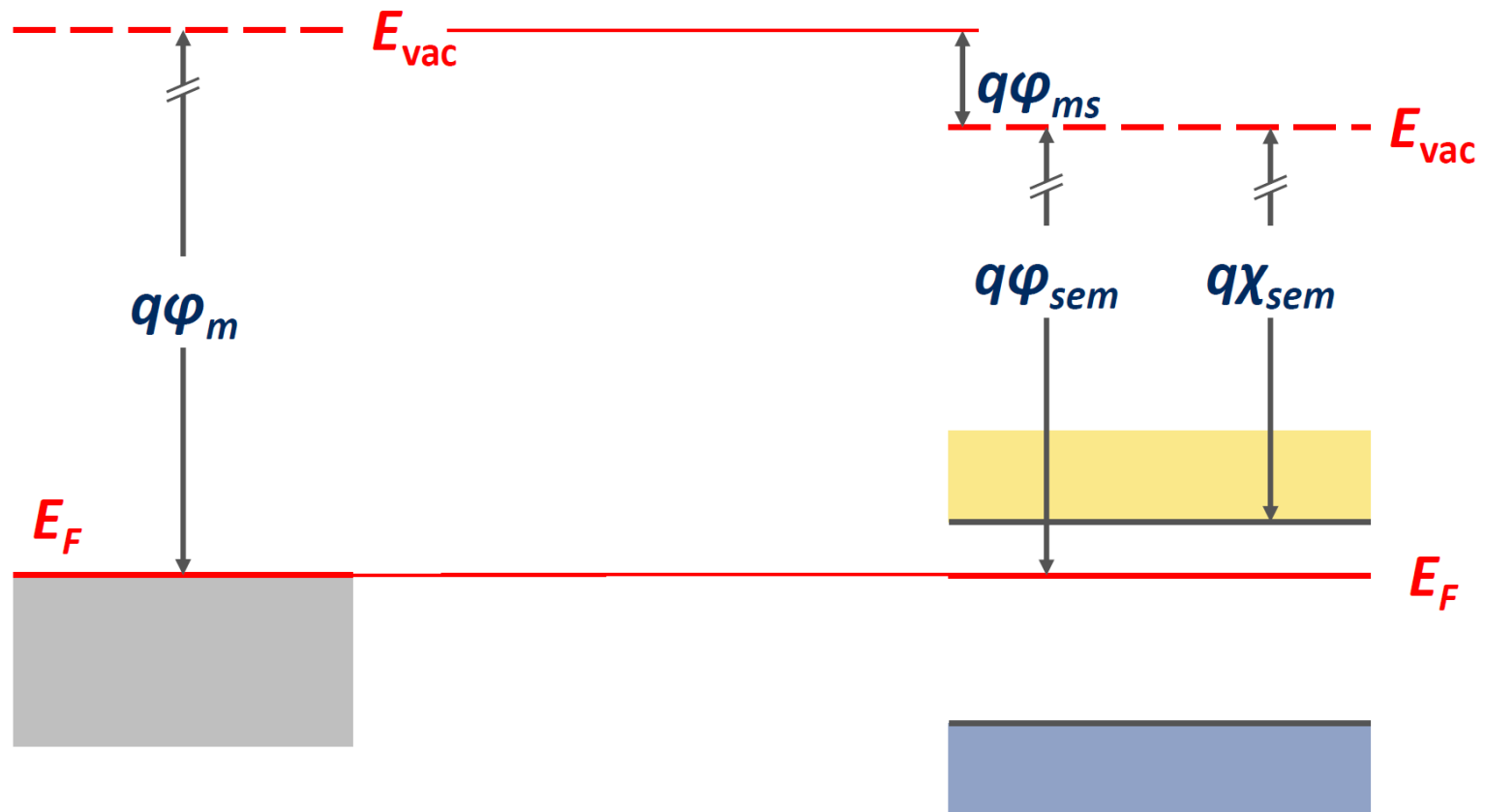


χ_{sem} - powinowactwo elektronowe dla półprzewodnika

Złącze metal – półprzewodnik typu n - dioda Schottky'ego

Kontakt prostujący $\rightarrow \varphi_m > \varphi_{sem}$

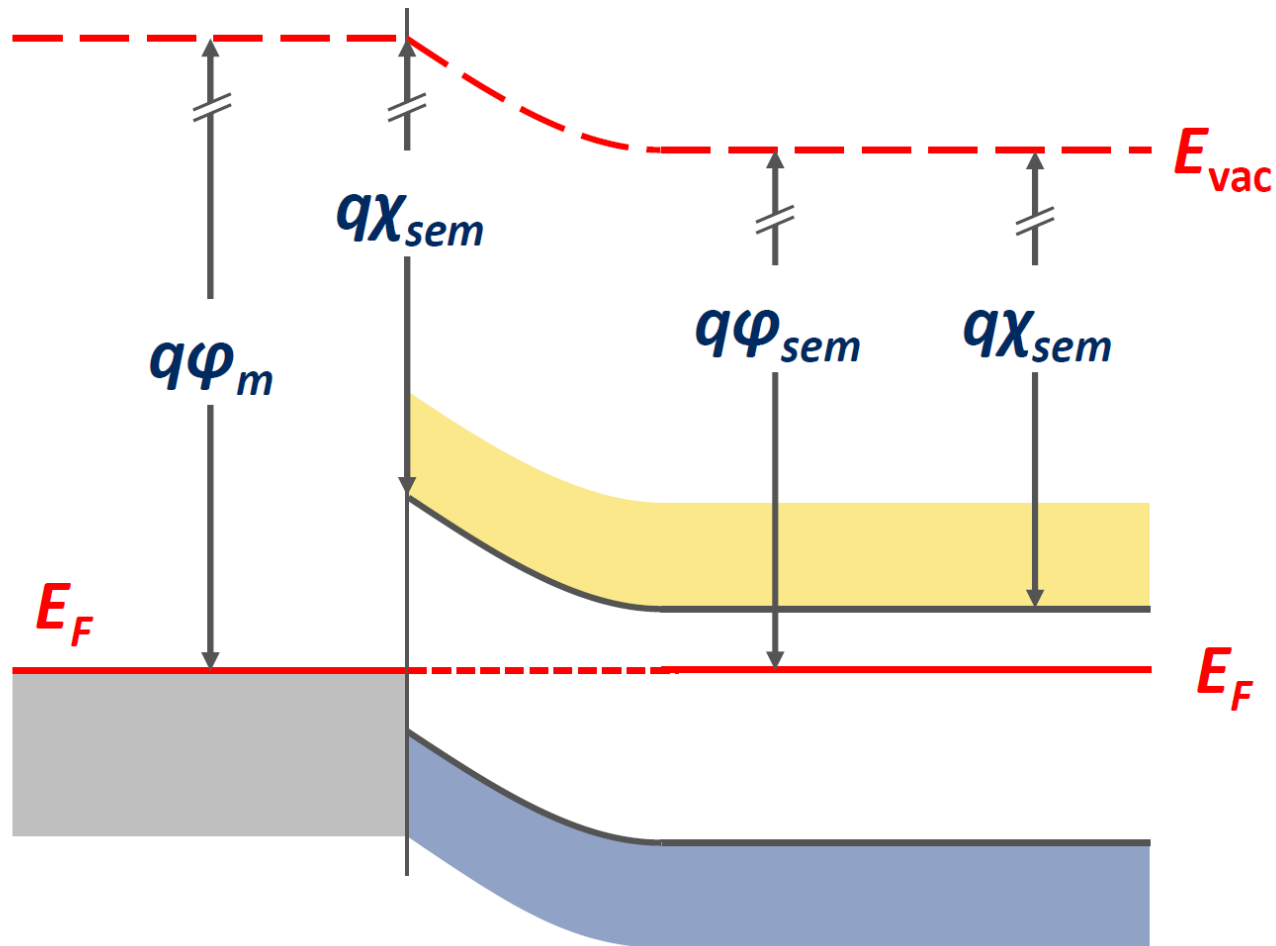
Przed połączeniem



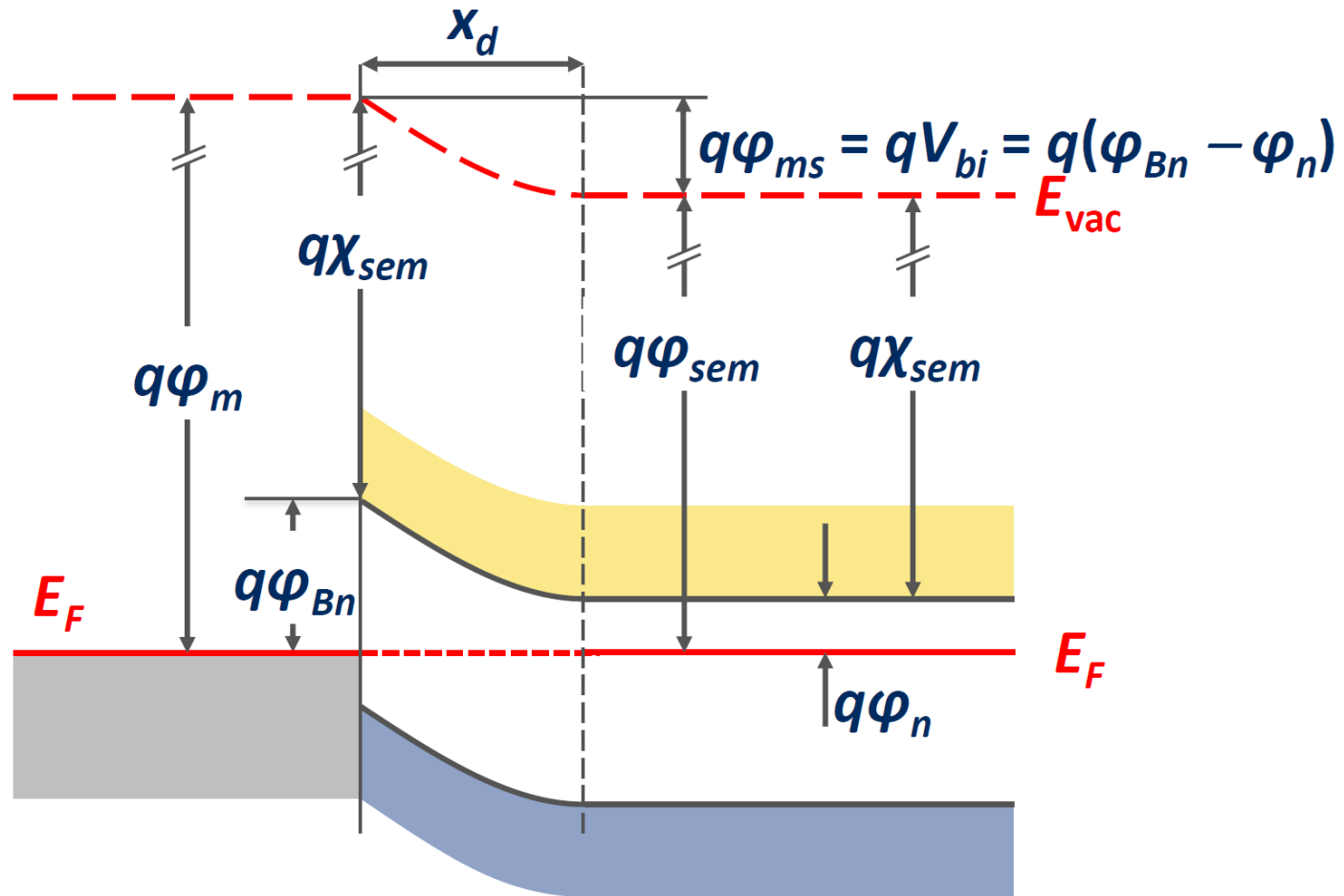
Złącze metal – półprzewodnik typu n - dioda Schottky'ego

Kontakt prostujący $\rightarrow \varphi_m > \varphi_{sem}$

Po połączeniu



Złącze metal – półprzewodnik typu n - dioda Schottky'ego



Bariera potencjału od str. półprzewodnika

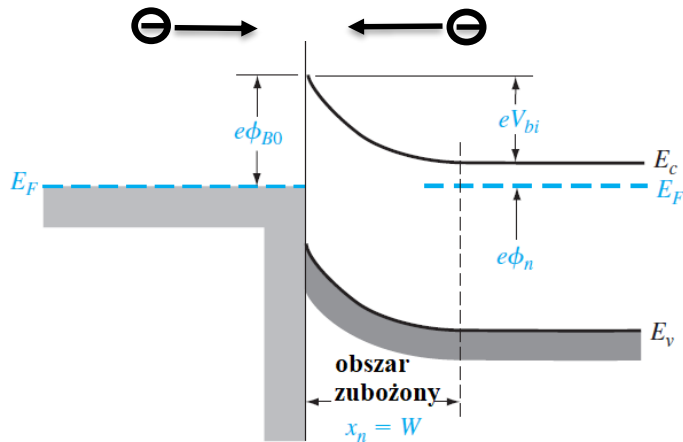
$$qV_{bi} = q(\phi_m - \phi_{sem}) = q(\phi_{Bn} - \phi_n)$$

Bariera potencjału od str. metalu

$$q\phi_{Bn} = q(\phi_m - \chi_{sem})$$

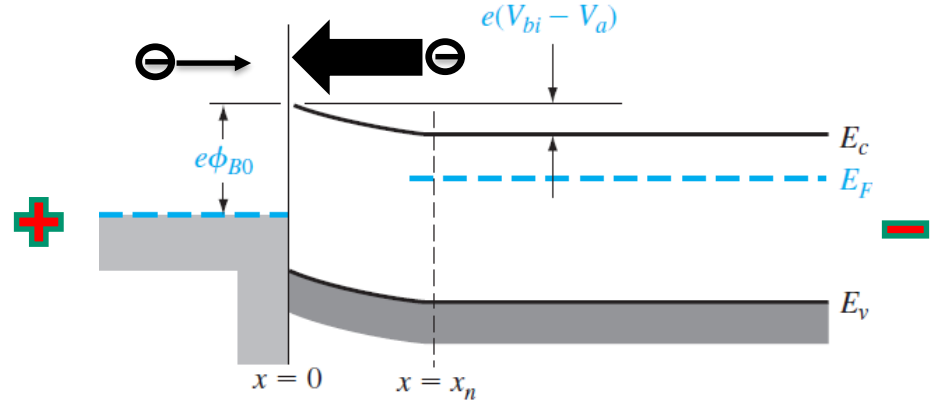
Dioda Schottky'ego

$$I_{m-s} = -I_0 \quad I_{s-m} = I_0$$



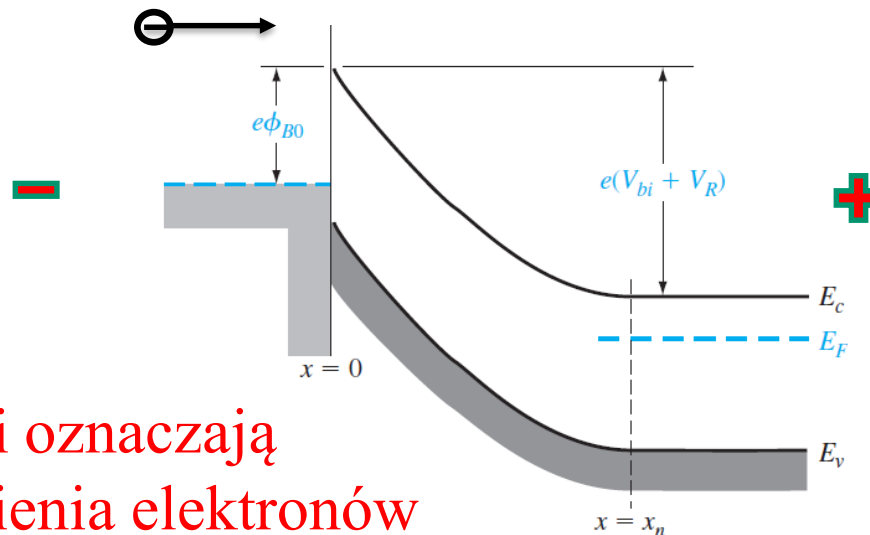
$$V = 0$$

$$I_{m-s} = -I_0 \ll I_{s-m} = I_0(e^{qV/kT} - 1)$$



$$V > 0$$

$$I_{m-s} = -I_0 \quad I_{s-m} \ll I_{m-s}$$



D.A.Neamen, Semiconductor Physics and Devices, ed. Mac Graw Hill

$$V < 0$$

Uwaga: strzałki oznaczają kierunek strumienia elektronów

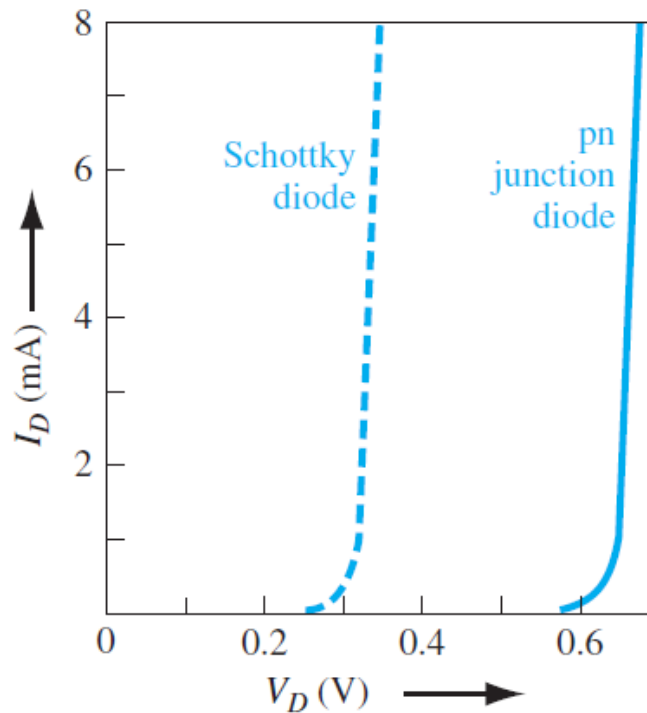
Charakterystyka I-V diody Schottky'ego

$$J_{s-m} = A^* T^2 e^{-q\Phi_B/kT} e^{qV/kT}$$

$$J_{m-s} = A^* T^2 e^{-q\Phi_B/kT}$$

$$J = J_{s-m} - J_{m-s} = A^* T^2 e^{-\frac{q\Phi_B}{kT}} (e^{\frac{qV}{kT}} - 1)$$

A^* - stała Richardsona

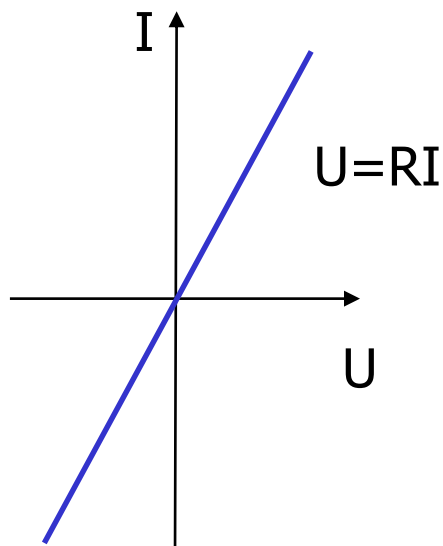
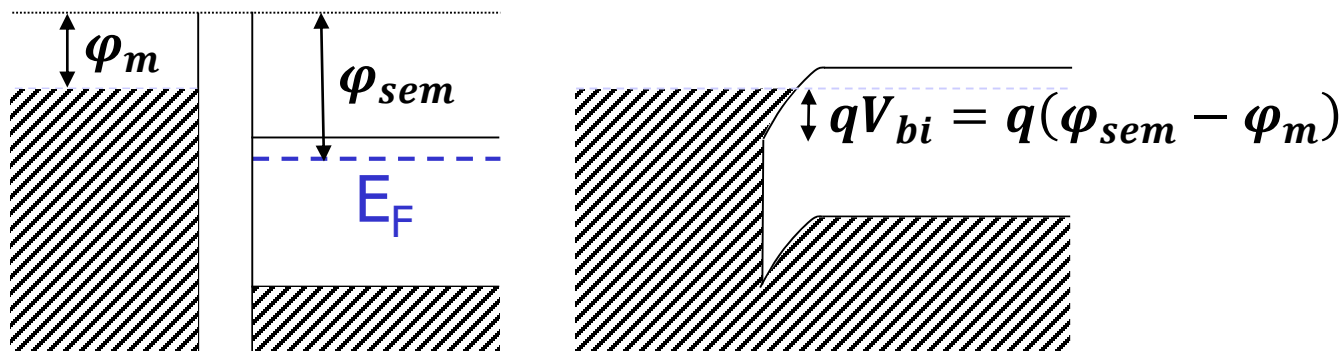


$$A^* = \frac{m^*}{m_0} 120 \text{ A/cm}^2 \text{ K}^2$$

- Prąd nasycenia I_0 diody Schottky'ego jest 10^3 do 10^8 razy większy od prądu nasycenia dla złącza p-n
- Dioda Schottky'ego jest stosowana do prostowania przebiegów przemiennych o niskim napięciu i dużym prądzie.

Omowy kontakt metal – półprzewodnik

Półprzewodnik typu n i metal o pracy wyjścia $\varphi_m < \varphi_{sem}$



Kontakt omowy
(o niskiej oporności)

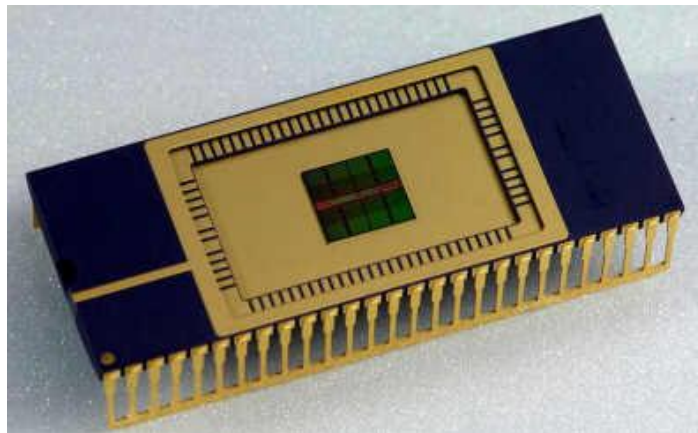
uwaga: dla półprzewodnika **typu p**
kontakt jest omowy gdy: $\varphi_m > \varphi_{sem}$

Zastosowanie tranzystorów polowych: Pamięć DRAM - szczegóły

Układ komórki elementarnej pamięci DRAM jest zaprojektowany w ten sposób, że zbudowany jest na bazie **dwóch tranzystorów polowych MOS**, z których **jeden pełni funkcję kondensatora, a drugi elementu separującego (sterującego procesem ładowania kondensatora), oprócz tego linii słowa (WL) oraz linii bitowej (BL)**. Cała pamięć składa się z kilkudziesięciu miliardów takich tranzystorów.

Pamięć DRAM przechowuje każdy bit danych w oddzielnym kondensatorze wewnątrz układu scalonego. Ze względu na rozładowywanie się kondensatorów pamięci te wymagają okresowego odświeżania zawartości.

Odświeżanie polega na ponownym zapisie odczytanej wartości w tych samych komórkach pamięci. Za odświeżanie odpowiedzialne są układy pamięci, wyspecjalizowane układy wspomagające (np. kontrolery pamięci) bądź sam procesor.



Struktura komórki pamięci DRAM

Kiedy bit jest czytany lub zapisywany na linię słowa podawany jest sygnał napięciowy i przez tranzystor separujący zaczyna płynąć prąd. Linia słowa WL (*ang. Word Line*) steruje tranzystorem separującym, który przyłącza do linii bitowej BL (*ang. Bit line*) lub separuje od niej kondensator (tranzystor polowy MOS) do przechowywania danych.

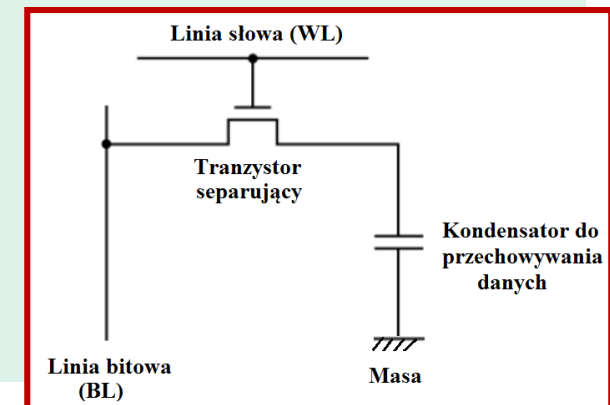
- Operacja zapisu:

- podajemy na linię bitową (BL) napięcie zasilające przy stanie logicznym 1 lub na napięcie masy przy stanie logicznym 0;
- następnie zostaje wysterowana linia WL, co spowoduje odblokowanie tranzystora separującego i połączenie kondensatora z linią bitową
- w zależności od napięcia na linii BL kondensator zostanie albo naładowany (polaryzacja tranzystora napięciem dodatnim V_{DS} , wówczas przechowuje 1 bit - stan 1), albo rozładowany (polaryzacja tranzystora napięciem ujemnym V_{GS} , wówczas przechowuje binarne 0 - stan 0).

- Operacja odczytu

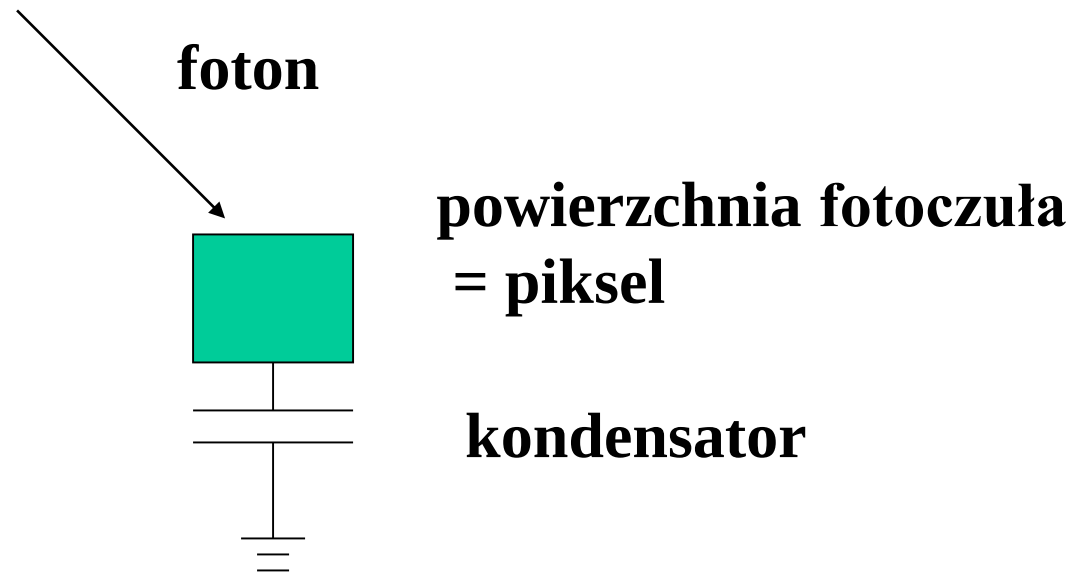
- linia bitu BL jest ładowana napięciem równym około połowie napięcia zasilającego;
- następnie zostaje wysterowana linia WL, która odblokowuje tranzystor separujący;
- odblokowany tranzystor przyłącza kondensator do linii bitu;
- następuje wyrównanie ładunków kondensatora do przechowywania bitu oraz linii bitu BL;
- jeśli kondensator przechowywał ładunek (1 bit), to napięcie na BL nieco wzrośnie, ponieważ ładunek kondensatora uzupełni ładunek linii BL;
- jeśli kondensator był rozładowany, czyli przechowywał 0, to napięcie na BL spadnie, ponieważ kondensator odbierze nieco ładunku.

Zatem wzrost napięcia BL przy odczycie komórki informuje o zapisanym stanie 1, natomiast spadek o stanie 0.



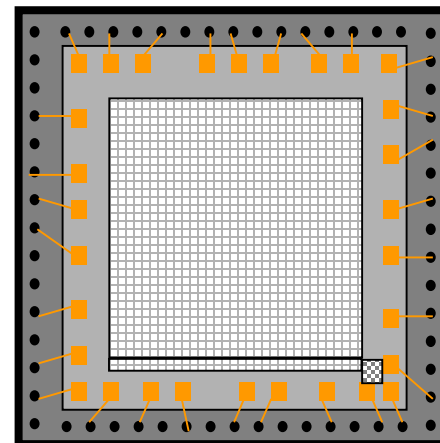
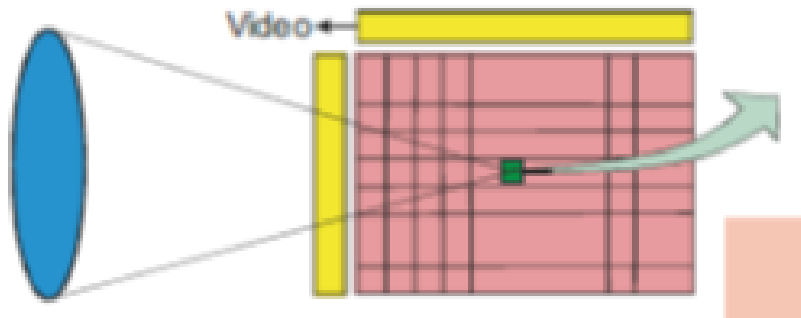
Zastosowanie tranzystorów polowych: Kamery CCD

**CCD z ang. Charge-coupled Device –
urządzenie na ładunku związanym**



Fotony uwalniają elektrony z powierzchni fotoczulej.
Kondensatory ładują się ładunkiem proporcjonalnym do
ilości padającego światła → ilości ładunku uwolnionego z powierzchni
półprzewodnika

Kamery CCD

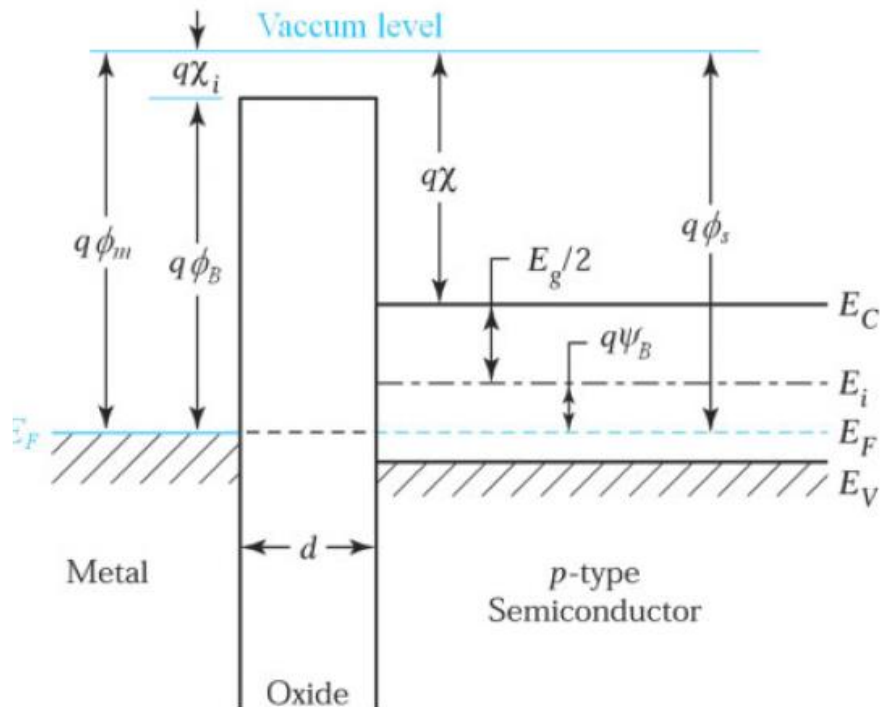
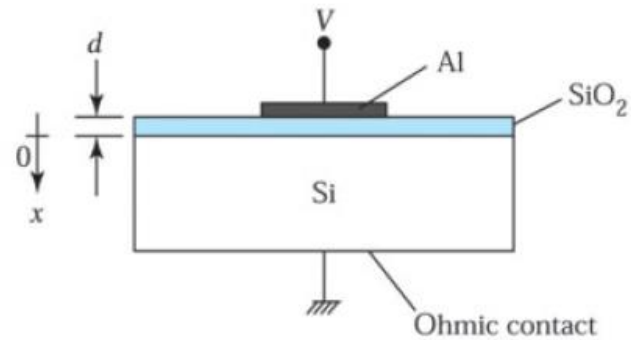
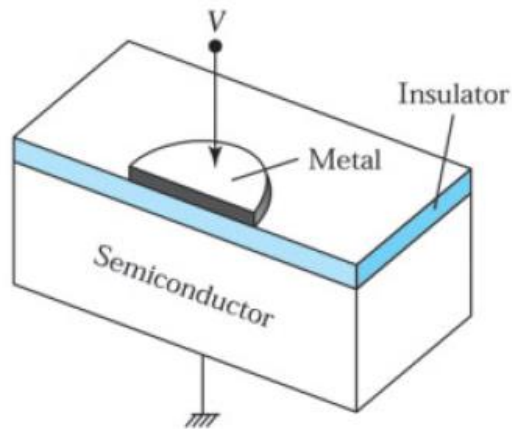


CCD - urządzenie, które zamienia sygnał optyczny na sygnał elektryczny, który następnie jest sczytywany i może być przetwarzany. Matryca detektorów musi być zintegrowana z cyfrowym układem, który gromadzi fotoprąd z piksela i transportuje go na wyjście układu do odczytu i dalszego przetwarzania.

CCD to tranzystory polowe - struktury MOS (metal-oxide-semiconductor) na bazie krzemu, dla którego przerwa wzbroniona wynosi 1.12eV w $T=300\text{K}$ i odpowiada długości fali ok. $1\mu\text{m}$.

Istnieje potrzeba chłodzenia CCD. Odbywa się to za pomocą ciekłego azotu. Chłodzenie zwiększa czułość detektora ponieważ „zamraża” drgania sieci krystalicznej matrycy krzemu.

Kamery CCD – budowa → Złącze MOS



Zasada działania CCD

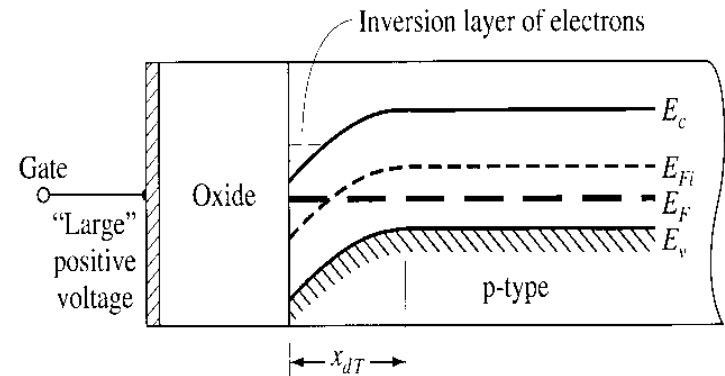
5 kroków

1. Oświecić CCD

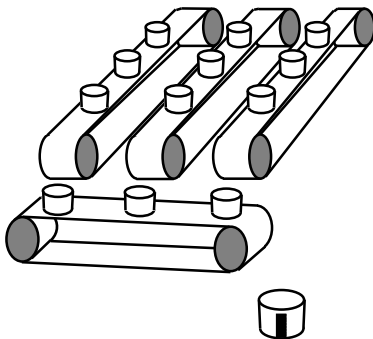
2. Wygenerować nośniki

E_g  pasmo przew.
pasmo walenc.

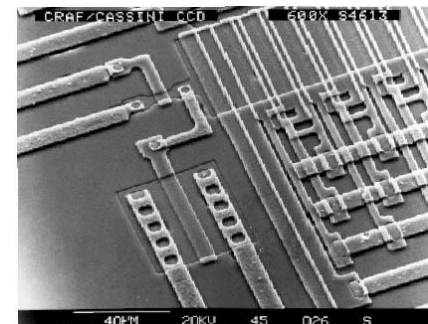
3. Zgromadzić nośniki



4. Przetransportować nośniki

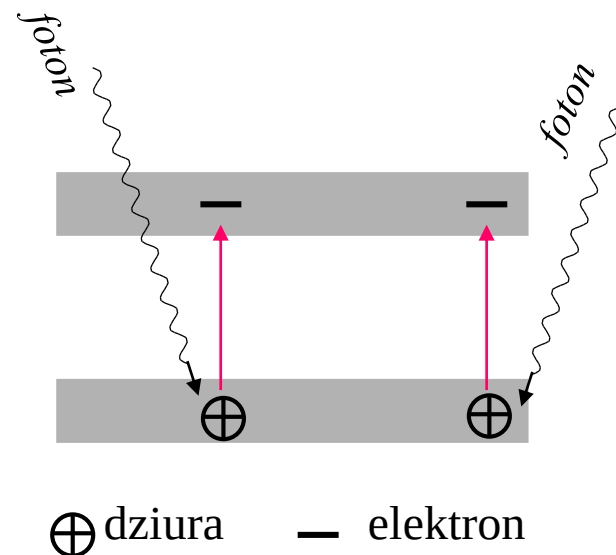
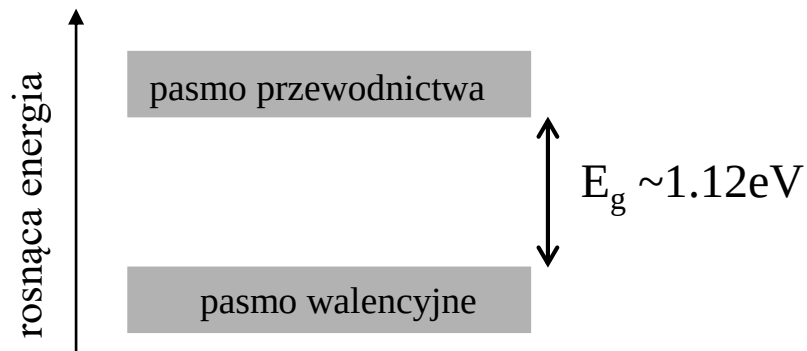


5. Wzmocnić

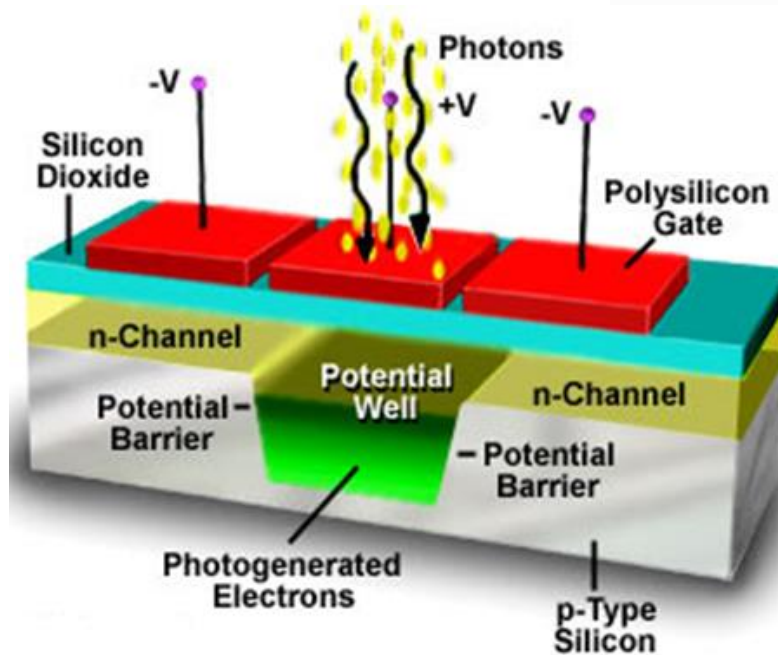
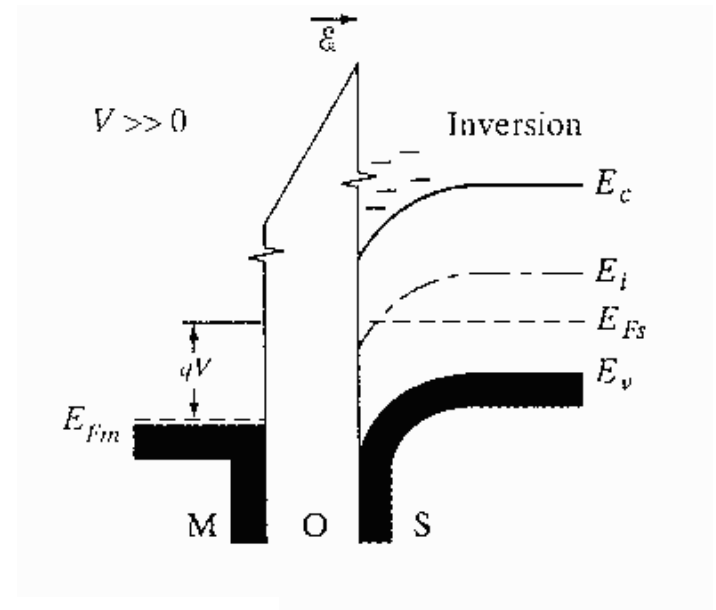
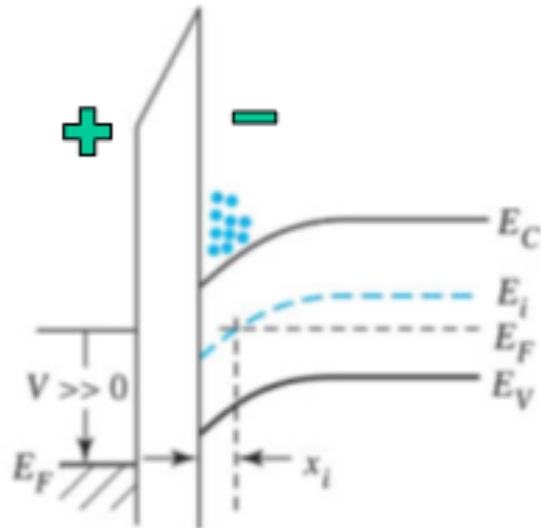


Krok 1 i 2. Efekt fotoelektryczny

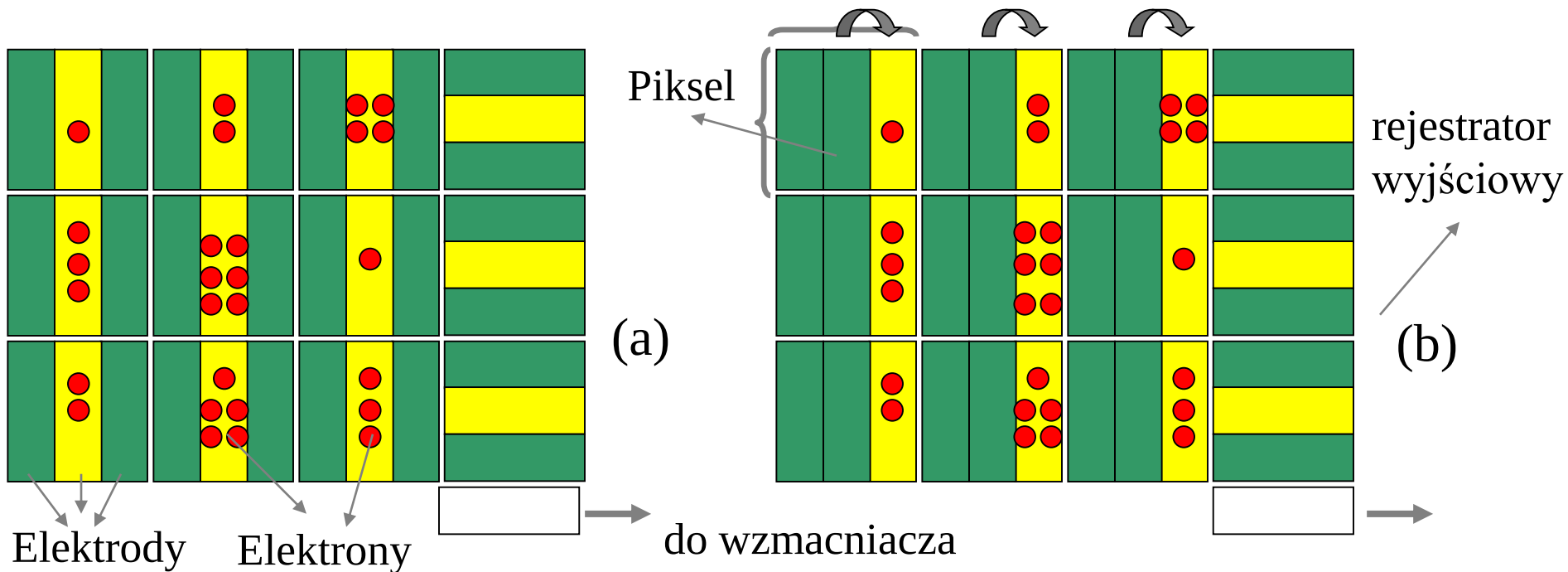
1. Oświetlić CCD → Energia fotonów: $h\nu \geq E_g$
2. Wygenerować nośniki → generacja par elektron-dziura a następnie rozdzielenie ładunków polem elektrostatycznym



Krok 3. Zgromadzić nośniki



Krok 4. Przetransportować nośniki



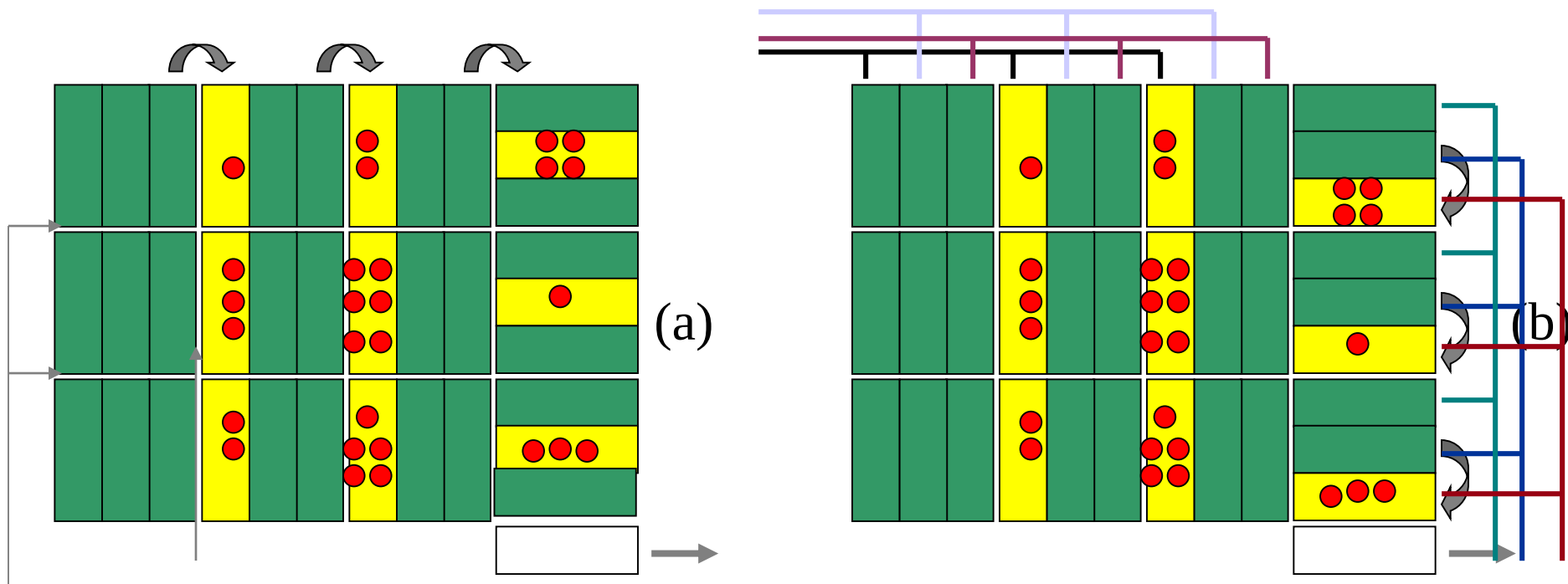
CCD złożony jest z 9 pikseli, rejestratora wyjściowego i wzmacniacza.

Każdy piksel jest podzielony na 3 obszary (elektrody wytwarzające odpowiednią studnię potencjału). Co trzecia elektroda jest na tym samym potencjale.

(a) Podczas oświetlania centralna elektroda (żółte pola) jest na wyższym potencjale niż pozostałe (zielone pola) – ładunek gromadzi się w studni potencjału.

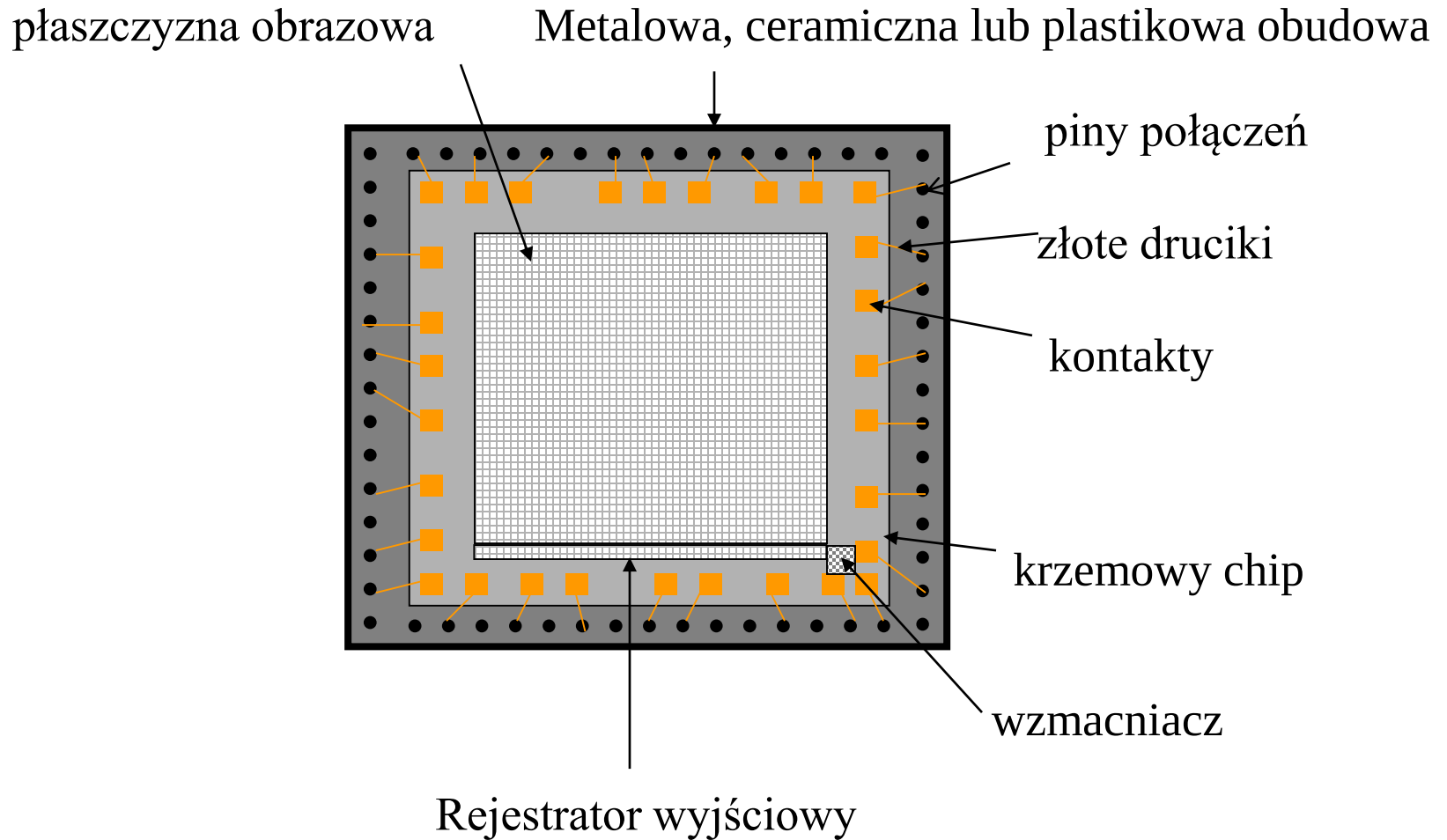
(b) Po ekspozycji świetlnej potencjał elektrod ulega zmianie i ładunki są przenoszone z jednej elektrody na drugą.

Krok 4. Przetransportować nośniki



- (a) Poprzez synchroniczną zmianę potencjału elektrod elektrony są przenoszone z piksela do piksela. Ładunki z prawej są prowadzone do wyjściowego rejestratora.
- (b) Horyzontalny transfer ładunków jest wyłączony. Pakiety ładunków z rejestratora wyjściowego są przenoszone wertykalnie, jeden za drugim do wzmacniacza wyjściowego i odczytywane jeden za drugim. Cykl rozpoczyna się ponownie po odczytaniu wszystkich ładunków (czas odczytu dla dużego CCD – ok. 1 min).

Krok 5. Wzmocnić sygnał



Detektor CCD

Mozaika 4 CCD (kwadrat 6cm x 6cm), z których każda zawiera 2040 x 2048 pikseli. Razem ok.16 milionów pikseli (Kitt Peak National Observatory, Arizona).

